

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-214324

(43)Date of publication of application : 15.08.1997

(51)Int.Cl.

H03K 19/20  
H03K 17/16  
H03K 17/687  
H03K 19/0948

(21)Application number : 08-015070

(71)Applicant : SHARP CORP

(22)Date of filing : 31.01.1996

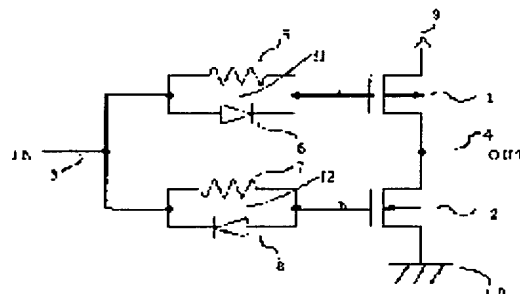
(72)Inventor : ENDO SUEO

## (54) CMOS LOGIC CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent production of a through-current in the CMOS logic circuit by adding a simple circuit.

**SOLUTION:** A trailing delay element 11 consisting of a parallel connection circuit with a resistor 5 and a diode 6 is inserted between an input terminal 3 and a gate of a P-channel MOS transistor (TR) 1 and a rising delay element 12 consisting of a parallel connection circuit with a resistor 7 and a diode 8 is inserted between the input terminal 3 and a gate of an N-channel MOS transistor (TR) 2 so as to prevent simultaneous ON period of both the TRs.



## LEGAL STATUS

[Date of request for examination] 16.07.1999

[Date of sending the examiner's decision of rejection] 29.01.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-214324

(43) 公開日 平成9年(1997)8月15日

(51) Int. Cl. <sup>9</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 3 K	19/20		H 0 3 K	19/20
	17/16			17/16
	17/687			17/687
	19/0948			19/094
				L
				F
				B

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願平8-15070

(22) 出願日 平成8年(1996)1月31日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 遠藤 末男

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

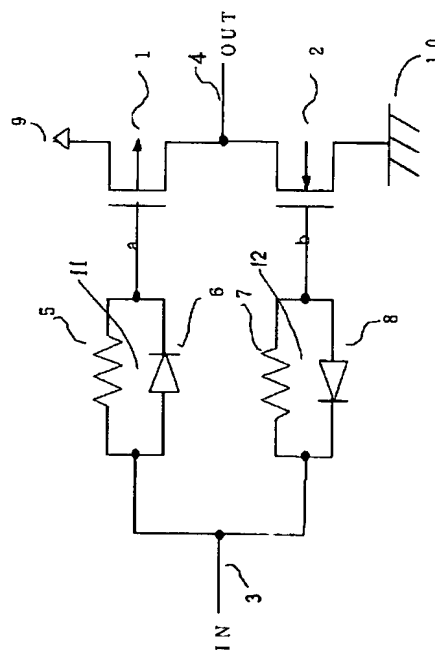
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 CMOS論理回路

(57) 【要約】

【課題】 簡単な回路の追加で、CMOS論理回路に於ける貫通電流の発生を防止する。

【解決手段】 入力端子3とPチャンネル型MOSトランジスタ1のゲートとの間に、抵抗5とダイオード6の並列接続回路から成る立下り遅延素子11を挿入し、また、入力端子3とNチャンネル型MOSトランジスタ2のゲートとの間に、抵抗7とダイオード8の並列接続回路から成る立上り遅延素子12を挿入して、両トランジスタ同時オン期間の発生を防止する。



## 【特許請求の範囲】

【請求項1】 Pチャンネル型MOSトランジスタとNチャンネル型MOSトランジスタとを組み合わせる構成されるCMOS論理回路に於いて、

入力端子と上記Pチャンネル型MOSトランジスタのゲートとの間に立下り遅延素子を挿入し、上記入力端子と上記NチャンネルMOSトランジスタのゲートとの間に立上り遅延素子を挿入して成ることを特徴とするCMOS論理回路。

【請求項2】 上記立下り遅延素子及び立上り遅延素子は、それぞれ、ダイオード手段と抵抗手段の並列接続回路から成り、上記立下り遅延素子は、そのダイオード手段の陽極が上記入力端子に接続され、陰極が上記Pチャンネル型MOSトランジスタのゲートに接続されるように挿入され、上記立上り遅延素子は、そのダイオード手段の陰極が上記入力端子に接続され、陽極が上記Nチャンネル型MOSトランジスタのゲートに接続されるように挿入されて成ることを特徴とする、請求項1に記載のCMOS論理回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、Pチャンネル型MOSトランジスタとNチャンネル型MOSトランジスタとを組み合わせる構成されるCMOS論理回路（インバータ回路、ナンド回路、ノア回路等）に関するものであり、特に、入力信号の反転時に於ける貫通電流の発生を防止する構成としたCMOS論理回路に関するものである。

## 【0002】

【従来の技術】MOSトランジスタ等の半導体素子から成るロジックLSIは低消費電力が要望されている。CMOSデバイスの消費電流を押さえるためには、信号の変化点で発生する電源-GND間の貫通電流を少なくすることが最も有効な手段である。貫通電流とは、Pチャンネル型MOSトランジスタとNチャンネル型MOSトランジスタとで構成されるCMOS回路で、信号の変化時に両トランジスタが同時にオンする期間に流れる電源電流である。

【0003】図3に従来技術を示す。これは特開平4-287419号公報に示されるものである。この特開平4-287419号公報に示される、貫通電流を防止したインバータ回路は、Pチャンネル型MOSトランジスタAと、Nチャンネル型MOSトランジスタB及びCとを直列に接続させ、ゲート信号をNチャンネル型MOSトランジスタC、Pチャンネル型MOSトランジスタA、Nチャンネル型MOSトランジスタBという順序で接続させ、その間に遅延回路D1、D2を挿入し、貫通電流を防止している。

【0004】以下、その動作を図4及び図5を参照しながら説明する。

【0005】入力信号INがローからハイに変化する場合は、Nチャンネル型MOSトランジスタCはオフ状態からオン状態に移移する。同時に、Pチャンネル型MOSトランジスタAはオン状態から、2個のインバータ回路で構成された遅延回路D1により遅延時間分遅れてオフ状態に移移する。この遅延回路D1により、Nチャンネル型MOSトランジスタCとPチャンネル型MOSトランジスタAは遅延時間分同時にオンしているが、遅延回路D2によりNチャンネル型MOSトランジスタBはオフ状態であるため貫通電流は発生しない。さらに、入力信号INは遅延回路D2を経由してローからハイに変化するため、Nチャンネル型MOSトランジスタBはオフ状態からオン状態に移移する。このとき、すでにPチャンネル型MOSトランジスタAはオフ状態のため貫通電流は発生しない。この2つの遅延回路D1、D2とNチャンネル型MOSトランジスタBの付加により、トランジスタA、B、Cが同時にオンする期間がなくなり貫通電流を防止する。

【0006】又、入力信号INがハイからローに変化する場合は、Nチャンネル型MOSトランジスタCはオン状態からオフ状態に移移する。同時に、Pチャンネル型MOSトランジスタAはオフ状態から遅延回路D1の時間分遅れてオン状態に移移するため貫通電流は発生しない。さらに、入力信号INは遅延回路D2を経由してハイからローに変化するため、Nチャンネル型MOSトランジスタBはオン状態からオフ状態に移移する。このとき、すでにNチャンネル型MOSトランジスタCはオフ状態のため貫通電流は発生しない。

## 【0007】

【発明が解決しようとする課題】上記従来の回路においては、遅延回路を多く使用すればそれだけ両トランジスタが同時にオンする危険性が少なくなるが、そのために当該回路を構成するトランジスタ数が多数必要であり、回路全体のレイアウト面積が大きくなり製造コストがアップしてしまう。また、遅延回路を多く使用した場合、その遅延回路自身の貫通電流が発生するため、結局、回路全体で貫通電流が流れるという問題は解決されていない。従って、従来技術のインバータ回路は大電流供給能力のある出力バッファには有効であるが、LSI内部回路には不適当である。

【0008】本発明は、上記従来技術の欠点を改良し、最小限の回路追加により、出力バッファ、内部回路いずれにも適用可能な低消費電力のCMOS論理回路を提供するものである。

## 【0009】

【課題を解決するための手段】本発明のCMOS論理回路は、Pチャンネル型MOSトランジスタとNチャンネル型MOSトランジスタとを組み合わせる構成されるCMOS論理回路に於いて、入力端子と上記Pチャンネル型MOSトランジスタのゲートとの間に立下り遅延素子

を挿入し、上記入力端子と上記NチャンネルMOSトランジスタのゲートとの間に立上り遅延素子を挿入して成ることを特徴とするものである。

【0010】また、上記立下り遅延素子及び立上り遅延素子は、それぞれ、ダイオード手段と抵抗手段の並列接続回路から成り、上記立下り遅延素子は、そのダイオード手段の陽極が上記入力端子に接続され、陰極が上記Pチャンネル型MOSトランジスタのゲートに接続されるように挿入され、上記立上り遅延素子は、そのダイオード手段の陰極が上記入力端子に接続され、陽極が上記Nチャンネル型MOSトランジスタのゲートに接続されるように挿入されて成ることを特徴とするものである。

【0011】本発明によれば、Pチャンネル型MOSトランジスタの入力信号は緩やかな立下りとなり、オフ期間が延長される。一方、Nチャンネル型MOSトランジスタの入力信号は緩やかな立上りとなり、オフ期間が延長される。

【0012】すなわち、入力信号がローからハイに変化する場合、Pチャンネル型MOSトランジスタのゲート入力信号は通常に立ち上がるが、Nチャンネル型MOSトランジスタのゲート入力信号は緩やかに立ち上がる。これにより、Pチャンネル型MOSトランジスタがオン状態からオフ状態に移した後に、Nチャンネル型MOSトランジスタがオフ状態からオン状態に移し、両トランジスタ共にオンとなる期間が生じないため、貫通電流は生じない。

【0013】また、入力信号がハイからローに変わる場合は、Nチャンネル型MOSトランジスタのゲート入力信号は通常に立ち下がるが、Pチャンネル型MOSトランジスタのゲート入力信号は緩やかに立ち下がる。これにより、Nチャンネル型MOSトランジスタがオン状態からオフ状態に移した後に、Pチャンネル型MOSトランジスタがオフ状態からオン状態に移し、両トランジスタが共にオンとなる期間が生じないため貫通電流は生じない。

【0014】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について説明する。

【0015】図1は本発明の一実施形態（インバータ回路）の回路構成図である。

【0016】図に於いて、1及び2は、それぞれ、CMOSインバータ回路を構成するPチャンネル型MOSトランジスタ及びNチャンネル型MOSトランジスタであり、9は電源、10はGNDである。3は入力信号INが入力される入力端子、4は出力信号OUTが出力される出力端子である。入力端子3と、Pチャンネル型MOSトランジスタ1のゲート間には、抵抗5とダイオード6の並列接続回路から成る立下り遅延素子11が挿入されており、また、入力端子3と、Nチャンネル型MOSトランジスタ2のゲート間には、抵抗7とダイオード8

の並列接続回路から成る立上り遅延素子12が挿入されている。

【0017】以下、図1に示すインバータ回路の動作を図2のタイミングチャートに従って説明する。

【0018】入力信号INの信号レベルが“L”から“H”に変化する場合に於いては、遅延素子11のダイオード6には順方向電圧が印加される。一方、遅延素子12のダイオード8には逆方向電圧が印加される。したがって、Pチャンネル型MOSトランジスタ1のゲート入力信号aは急速に“L”から“H”に立ち上がるが、Nチャンネル型MOSトランジスタ2のゲート入力信号bは緩やかに“L”から“H”に立ち上がる。したがって、ゲート入力信号aの電圧レベルが、時刻 $t_1$ に於いて、Pチャンネル型MOSトランジスタ1のしきい値電圧 $V_p$ を超えて、Pチャンネル型MOSトランジスタ1がオフとなった時点で、ゲート入力信号bの電圧レベルは、まだ、Nチャンネル型MOSトランジスタ2のしきい値電圧 $V_n$ に達しておらず、Nチャンネル型MOSトランジスタ2はオフ状態を保っている。その後、ゲート入力信号bのレベルが上昇し、時刻 $t_2$ に於いて、Nチャンネル型MOSトランジスタ2のしきい値電圧 $V_n$ を超えたとき、Nチャンネル型MOSトランジスタ2はオンとなるが、Pチャンネル型MOSトランジスタ1は既にオフとなっているので貫通電流は生じない。

【0019】一方、入力信号INの信号レベルが“H”から“L”に変化する場合に於いては、遅延素子11のダイオード6には逆方向電圧が印加され、遅延素子12のダイオード8には順方向電圧が印加される。したがって、Pチャンネル型MOSトランジスタ1のゲート入力信号aは緩やかに立ち下がり、一方、Nチャンネル型MOSトランジスタ2のゲート入力信号bは急速に立ち下がる。したがって、時刻 $t_1$ に於いて、ゲート入力信号bのレベルがNチャンネル型MOSトランジスタ2のしきい値電圧 $V_n$ 以下になって、Nチャンネル型MOSトランジスタ2がオフとなった時点で、ゲート入力信号aは、まだ、Pチャンネル型MOSトランジスタ1のしきい値電圧 $V_p$ に達しておらず、Pチャンネル型MOSトランジスタ1はオフ状態を保っている。その後、ゲート入力信号aのレベルが下降し、時刻 $t_2$ に於いて、Pチャンネル型MOSトランジスタ1のしきい値電圧 $V_p$ を超えたとき、Pチャンネル型MOSトランジスタ1はオンとなるが、Nチャンネル型MOSトランジスタ2は既にオフとなっているので貫通電流は生じない。

【0020】上述の実施形態は、本発明をインバータ回路に於いて実施したものであるが、本発明は、ナンド回路或いはノア回路等のCMOS論理回路に於いても、同様に実施できるものである。2入力ナンド回路に於いて実施した場合を図6に、また、2入力ノア回路に於いて実施した場合を図7に示す。図6或いは図7に示すように、ナンド回路或いはノア回路に於いて、本発明に係る

立下り遅延素子及び立上り遅延素子を設けることにより、同様に、入力信号（IN1、IN2）の変化時点に於ける貫通電流の発生を防止することができるものである。

【0021】なお、本発明に於ける遅延素子を構成するタイオット手段及び抵抗手段は、それぞれ、ダイオード機能及び抵抗機能を有するものであればよい。

【0022】

【発明の効果】以上詳細に説明したように、本発明によれば、極めて簡単な回路でCMOS論理回路に於ける貫通電流の発生を防止することができるものであり、集積回路のレイアウト面積の縮小、高集積化、コストダウンを図ることができるものである。

【図面の簡単な説明】

【図1】本発明の一実施形態の回路構成図である。

【図2】同実施形態の動作説明に供するタイミングチャートである。

【図3】従来のインバータ回路の回路構成図である。 \*

\*【図4】従来のインバータ回路の動作説明に供するタイミングチャートである。

【図5】従来のインバータ回路の動作説明に供するタイミングチャートである。

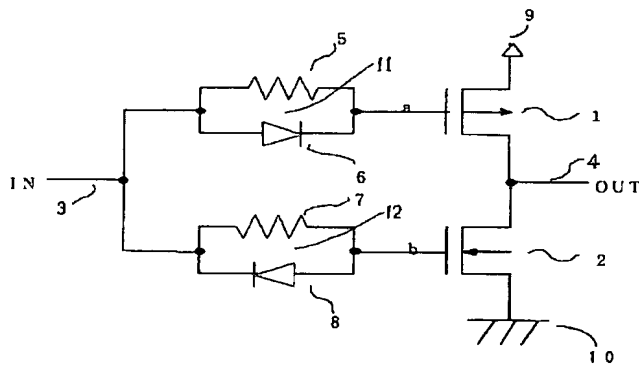
【図6】本発明の他の実施形態の回路構成図である。

【図7】本発明の更に他の実施形態の回路構成図である。

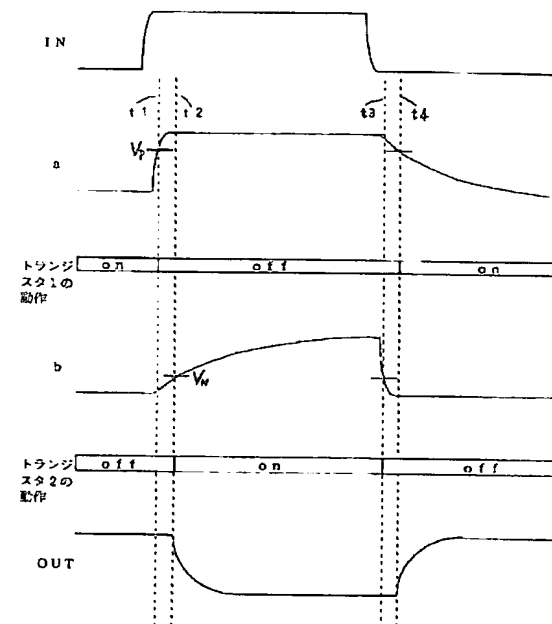
【符号の説明】

- 1 Pチャンネル型MOSトランジスタ
- 2 Nチャンネル型MOSトランジスタ
- 3 入力端子
- 4 出力端子
- 5, 7 抵抗
- 6, 8 ダイオード
- 9 電源
- 10 GND
- 11 立下り遅延素子
- 12 立上り遅延素子

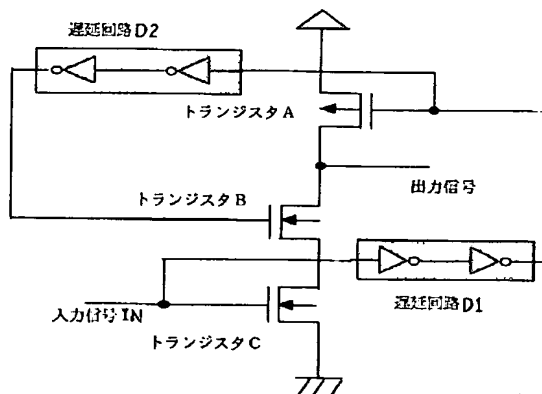
【図1】



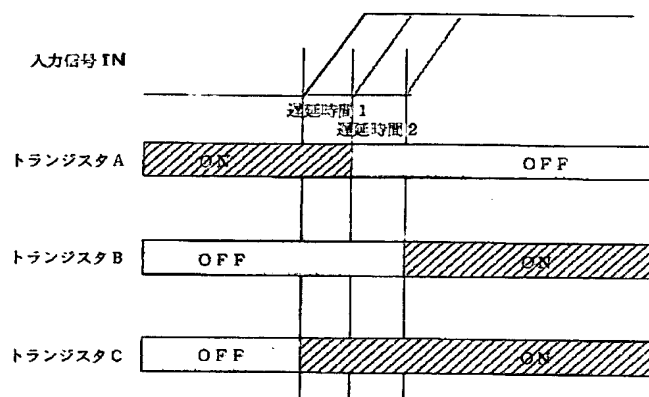
【図2】



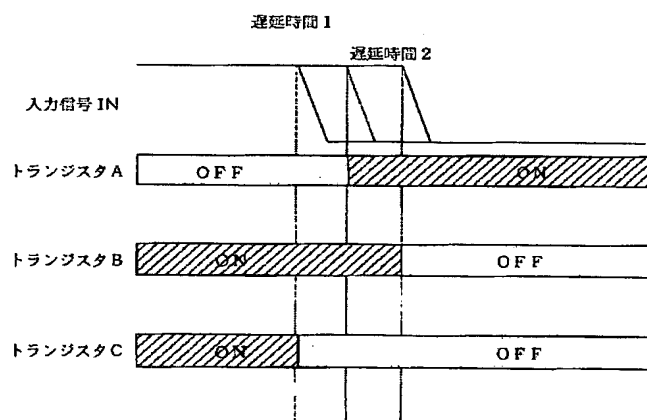
【図3】



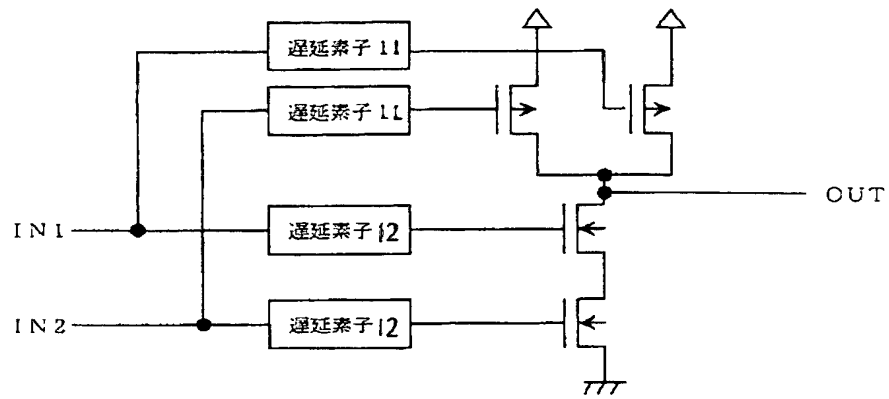
【図4】



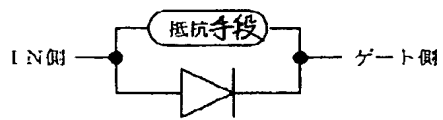
【図5】



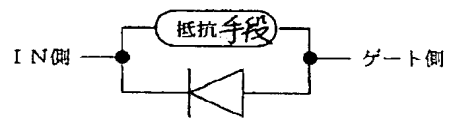
【図6】



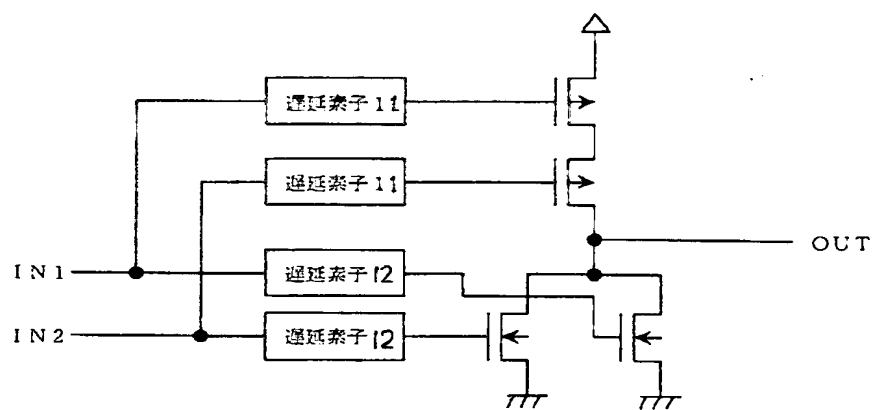
〔遅延素子 11〕



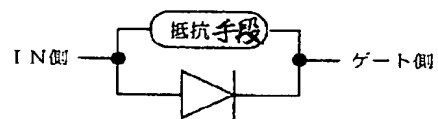
〔遅延素子 12〕



【図7】



〔遅延素子 11〕



〔遅延素子 12〕

